

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-246612

(43)Date of publication of application : 02.10.1990

(51)Int.Cl.

H03K 17/28

(21)Application number : 01-068484

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 20.03.1989

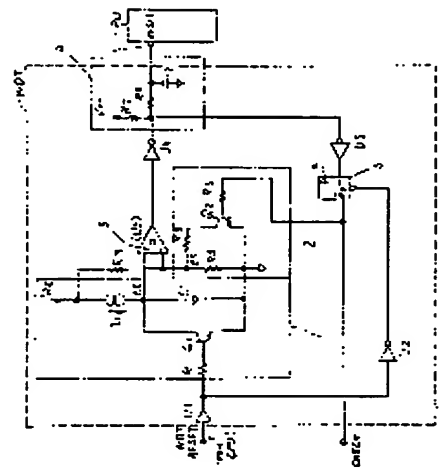
(72)Inventor : YASUI HITOSHI

## (54) WATCHDOG TIMER CIRCUIT

### (57)Abstract:

**PURPOSE:** To detect a fault of a final output stage itself by providing a flip-flop reset by a reset signal outputted from a CPU and setting the flip-flop when an output from a timer means exceeds a 1st setting value.

**CONSTITUTION:** When the operation of a CPU to be monitored is normal, a reset signal WDTRSET is applied at a prescribed period. When the reset signal is applied, a flip-flop 6 is reset and when the reset signal WDTRSET goes to a low level, a capacitor C1 is charged by a constant current 11 and its terminal voltage  $e_t$  is increased gradually. A comparison means 3 outputs a pulse signal PS when the output voltage  $e_t$  of the timer means 1 is coincident with a 1st setting voltage  $e_{s1}$ . Thus, the function of the watchdog timer circuit itself and the circuit including the final stage inverter U4 is confirmed to be normal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平2-246612

⑤ Int. Cl.<sup>5</sup>

H 03 K 17/28

識別記号

C

庁内整理番号

8124-5 J

⑬ 公開 平成2年(1990)10月2日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 ウォッチドックタイマ回路

⑯ 特 願 平1-68484

⑰ 出 願 平1(1989)3月20日

⑱ 発 明 者 安 井 均 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

## 明 細 書

## 1. 発明の名称

ウォッチドックタイマ回路

## 2. 特許請求の範囲

監視すべきCPUから出力されるリセット信号が印加されてリセットされるタイマ手段と、

2種の設定値信号を出力する設定値信号出力手段と、

前記タイマ手段からの信号と前記設定値信号出力手段からの設定値とを比較する比較手段と、

比較手段の出力端と出力端子との間に設けられたローパスフィルタと、

比較手段からの信号によってセットされると共に前記CPUから出力されるリセット信号によってリセットされ、前記設定値信号出力手段の設定値を変更するための信号を出力するフリップフロップとを備え、

前記ローパスフィルタを介してタイムアップ出力を得ると共に、フリップフロップの出力信号の変化から当該回路の動作が正常か否かを確認でき

るようにしたウォッチドックタイマ回路。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、計算機(CPU)の故障や暴走を検出するためのウォッチドックタイマ回路に関し、さらに詳しくは、ウォッチドックタイマ回路自身及びその出力段を含めた回路の故障検出機能を持ったウォッチドックタイマ回路に関する。

## &lt;従来の技術&gt;

ウォッチドックタイマ回路は、CPUから一定時間毎に出力されるリセット信号を入力し、そのリセット信号が一定時間経過しても入力されなくなるとタイムアップとなって、CPUの故障あるいは暴走を検出するものである。

このようなウォッチドックタイマ回路は、CPUの故障やプログラムの暴走を検出するために設けられるものであるから、このような事態が発生した場合、確実にそのことを示す信号を出力する必要がある。従って、ウォッチドックタイマ回路自身やその出力段が故障すると、その目的が達成され

なくなる。

従来のウォッチドックタイマ回路は、回路自身及びその最終出力段を含めた全体回路の故障検出機能を持ったものは無かった。

#### <発明が解決しようとする課題>

ここにおいて、本発明の目的は、ウォッチドックタイマ回路自身及びその最終出力段を含めた全体回路の故障検出機能を持ち、信頼性を向上できるウォッチドックタイマ回路を実現することにある。

#### <課題を解決するための手段>

第1図は、本発明の基本的な構成を示すブロック図である。

図において、1は図示していないCPUから出力されるリセット信号が印加され、リセットされるタイマー手段、2は設定値信号出力手段、3はタイマー手段1からの信号と設定値信号出力手段2からの設定値とを比較する比較手段、4は比較手段3の出力端と出力端子5との間に設けられたローパスフィルタ、6は比較手段3からの信号によ

ク図である。図において、第1図の各部分に対応するものには、同一符号を付して示す。

タイマー手段1は、インバータU1、抵抗R1を介してCPUからのリセット信号WDTRRES ET信号によりオフに駆動されるトランジスタQ1と、このトランジスタQ1と並列に接続されたコンデンサC1と、このコンデンサC1を定電流充電させるための定電流源I1とで構成されている。R3、R4は直流電圧Vccを分圧する抵抗である。

設定値信号出力手段2は、抵抗R4と、この抵抗R4に抵抗R5を並列に接続するためのトランジスタQ2と、このトランジスタQ2のベースにフリップフロップ6の出力を印加し、これを駆動するための抵抗R6で構成されている。

比較手段3は、一端にコンデンサC1の出力電圧 $e_t$ が印加され、他端に抵抗R4に生ずる電圧 $e_s$ が印加され、両信号を比較する演算増幅器U3が用いてある。

ローパスフィルタ4は、抵抗R7、R8及びコ

ンデンサC2で構成され、CPUから出力されるリセット信号によってリセットされるフリップフロップで、その出力は設定値信号出力手段2に印加されていて、設定値信号を大きくするように変更する。

#### <作用>

リセット信号がタイマー手段に印加されると、このタイマー手段はリセット動作後タイマー動作を行う。タイマー手段からの出力が第1の設定値を越えると、比較手段がこれを検出し、その結果をフリップフロップにセットする。フリップフロップの出力は、タイマー手段の出力段回路が正常に動作していることを示す信号となる。

フリップフロップの出力は、設定値信号の値を第1の値から第2の設定値に増加させ、タイマー手段のタイムアップを検出する。

#### <実施例>

以下図面を用いて、本発明の実施例を詳細に説明する。

第2図は、本発明の一実施例を示す構成ブロッ

ク図である。図において、第1図の各部分に対応するものには、同一符号を付して示す。

フリップフロップ6は、演算増幅器U3からの信号がインバータU4、U5を介してT端子に印加され、また、リセット信号がインバータU2を介して、リセット端子Rに印加され、出力<Q>(<Q>はQの反転信号を示す)は、抵抗R6を介してトランジスタQ2のベースに印加されると共に、ウォッチドックタイマ回路の動作が正常/異常を示すチェック信号CHCKとなる。

このように構成した回路の動作を次に説明する。

第3図は、その動作の一例を示すタイムチャートである。

監視すべきCPUの動作が正常な場合、タイマー手段1には、(a)に示すように一定周期T1でリセット信号WDTRRES ETが印加される。

このリセット信号が印加されると、トランジス

タQ1がオンとなり、コンデンサC1が短絡されそこに蓄えられていた電荷が放電される。また、フリップフロップ6は、リセットされる。

フリップフロップ6がリセットされると、設定信号出力手段2において、トランジスタQ2がオンの状態になり、抵抗R4と抵抗R5とが並列に接続され、(1)式で示される第1の設定電圧 $e_{s1}$ が出力される。

$$V_{cc} \cdot (R_4 \parallel R_5)$$

$$e_{s1} =$$

$$R_3 + (R_4 \parallel R_5)$$

$$\cdots (1)$$

(c)の破線 $e_{s1}$ は、この第1の設定電圧の値を示している。

リセット信号WDTRRESETが、その後(a)に示すようにローレベルになると、トランジスタQ1はオフになり、コンデンサC1は定電流I1によって充電され、その端子電圧 $e_t$ は(c)に示すように次第に増加する。

比較手段3は、(1)式で示される第1の設定

電圧 $e_{s1}$ と、タイマー手段1からの電圧信号 $e_t$ を比較しており、 $e_t$ が第1の設定電圧 $e_{s1}$ を超えると、比較手段3の出力が(d)に示すようにローレベルからハイレベルに反転し、インバータU4の出力は(e)に示すようにハイレベルからローレベルに反転する。

この信号は、インバータU5を経てフリップフロップ6に印加され、セット状態にする。このためその出力<Q>は、(b)に示すようにハイレベルからローレベルに変化し、トランジスタQ2がオンからオフに変わる。これにより、抵抗R5の並列接続が解かれ、比較手段3に印加される設定電圧 $e_s$ は、前記(1)式の値から(2)式で表される第2の設定電圧 $e_{s2}$  ( $e_{s1} < e_{s2}$ )に変更される。

$$e_{s2} = (V_{cc} \cdot R_4) / (R_4 + R_5)$$

$$\cdots (2)$$

ここで、(2)式で表される変更後の第2の設定電圧 $e_{s2}$ の大きさは、次にリセット信号WDTRRESETが印加されるまでの時間(周期T1

に相当)経過した時点でのタイマー手段1の出力電圧 $e_t$ より、大きく選定されている。

引き続き、比較手段3は、タイマー手段1からの電圧 $e_t$ と第2の設定電圧 $e_{s2}$ とを比較する。

この結果、タイマー手段1の出力電圧 $e_t$ が(1)式で表される第1の設定電圧 $e_{s1}$ に一致した時点では、比較手段3からは、(d)に示すようにハイレベルからローレベルに短時間に変化する図示するようなパルス信号PSが出力される。

この時間幅の短いパルス信号PSは、ローパスフィルタ4に印加されるが、この信号変化は抵抗R8、コンデンサC2で決まる時定数を持つたローパスフィルタ4に印加され、ここで除去されて端子5側には、(f)に示すように現われない。

タイマー手段1のコンデンサC1の電圧 $e_t$ は、引き続き(c)に示すように増加するが、第2の設定電圧 $e_{s2}$ に到達する前に印加されるリセット信号WDTRRESETにより、トランジスタQ1がオンとなり、充電電荷が放電されてはじめの状態に戻る。

この際、監視されているCPUは、フリップフロップ6から出力されているチェック信号CHECKが、一旦ローレベルになりその後ハイレベルになっているのを確認することにより、ウォッチドックタイマ回路自身とその最終段インバータU4を含めた回路の機能が正常であることを確認できる。この確認動作の結果、チェック信号CHECKが、一旦ローレベルになりその後ハイレベルになっていれば、ウォッチドックタイマ回路の機能は正常であると判断して、CPUは次のリセット信号を出力することになる。

以後、監視しているCPUの動作が正常であるかぎり、このような動作が繰り返される。

次に、監視しているCPUの動作が異常になった場合の動作を説明する。

この場合には、リセット信号WDTRRESETが一定周期T1経過しても印加されなくなる。

タイマー手段1の出力電圧 $e_t$ は、(c)に示すように、最後のリセット信号WDTRRESETが印加されてから、一定時間経過してもリセット

信号が来ないために、(1)式で表される第1の設定電圧 $e_{s1}$ を越え、やがてタイマー手段1のタイムアップ時間 $T_3$ に相当する時間を経過した時点で、(2)式で表される第2の設定電圧 $e_{s2}$ も越える。

タイマー手段1の出力電圧 $e_t$ が(2)式で表される第2の設定電圧 $e_{s2}$ を越えると(タイマー手段1のタイムアップに相当)、比較手段3はこれを検出しその出力は、(d)に示すようにローレベルからハイレベルに反転し、ハイレベルを維持した状態になる。

比較手段3からのこの信号は、今度はハイレベルを維持した状態にあるために、ローパスフィルタ4を通過し、(f)に示すようにウォッチドックタイマ回路のタイムアップを示す信号となって端子5から出力される。端子5に得られるウォッチドックタイマ回路の出力信号は、CPUのリセット信号として利用されたり、外部出力信号や割り込み信号等に利用される。

なお、上記の実施例では、タイマー手段1は、

コンデンサC1を定電流源からの定電流によって充電するような構成としたが、高抵抗を介して充電するようにしてもよい。

第4図は、本発明の他の実施例を示す構成ブロック図である。この実施例では、タイマー手段1をクロックを計数するカウンタで構成すると共に、設定値信号出力手段2や比較手段3をいずれもロジック回路で構成したものである。

ここで設定値信号出力手段2は、あらかじめ第1の設定電圧 $e_{s1}$ に相当するデータAと、第2の設定電圧 $e_{s2}$ に相当するデータBとが設定されていて、フリップフロップ6からの信号Qがハイレベルの時は、データBを、ローレベルの時はデータAを比較手段3に出力するように構成してある。

基本的な動作は、第2図の実施例と同様である。  
＜発明の効果＞

以上詳細に説明したように、本発明によれば簡単な回路を付加することによって、最終出力段を含む自分自身の故障検出を行うことができるもの

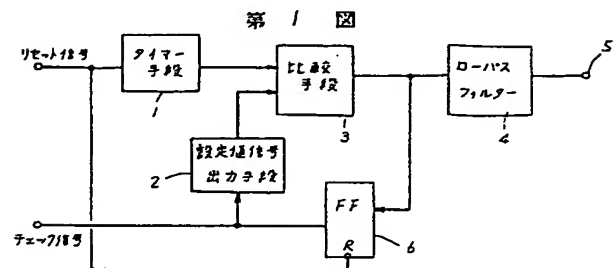
で、信頼性の高いウォッチドックタイマ回路が実現できる。

#### 4. 図面の簡単な説明

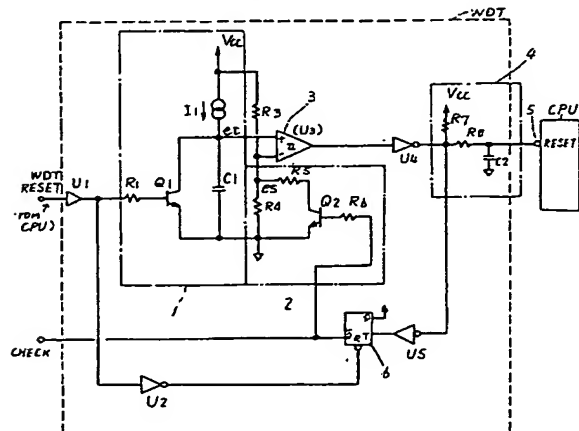
第1図は本発明の基本的な構成を示すブロック図、第2図は本発明の一実施例を示す構成ブロック図、第3図は動作の一例を示すタイムチャート、第4図は本発明の他の実施例を示す構成ブロック図である。

- 1…タイマー手段、2…設定値信号出力手段、  
3…比較手段、4…ローパスフィルタ、  
5…出力端子、6…フリップフロップ

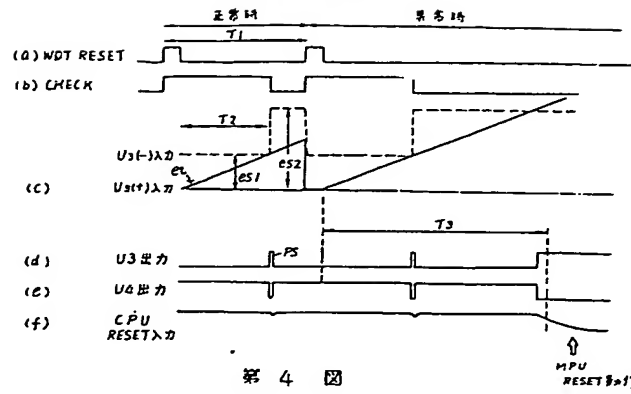
代理人 弁理士 小沢信昭



第 2 図



第 3 図



第 4 図

